



日 本 国 特 許 庁
JAPAN PATENT OFFICE

#4
Priority Document
3-27-02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 8月31日

出 願 番 号

Application Number:

特願2001-263559

出 願 人

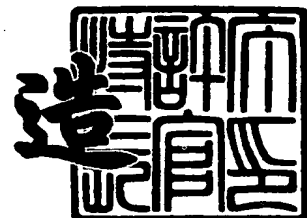
Applicant(s):

セイコーエプソン株式会社

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3096765

【書類名】 特許願

【整理番号】 J0086824

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 東 清一郎

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 安部 大介

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100079108

【弁理士】

【氏名又は名称】 稲葉 良幸

【選任した代理人】

【識別番号】 100080953

【弁理士】

【氏名又は名称】 田中 克郎

【選任した代理人】

【識別番号】 100093861

【弁理士】

【氏名又は名称】 大賀 眞司

【先の出願に基づく優先権主張】

【出願番号】 特願2000-267286

【出願日】 平成12年 9月 4日

【手数料の表示】

【予納台帳番号】 011903

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808570

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界効果トランジスタの製造方法および電子装置

【特許請求の範囲】

【請求項 1】 基板上に能動層となる半導体層を形成する工程と、
前記半導体層上に、基板温度を 1 0 0 ℃ 以下に設定してゲート絶縁膜を形成する工程と、

水を含んだ雰囲気中にて前記ゲート絶縁膜を熱処理する工程と、を備える電界効果トランジスタの製造方法。

【請求項 2】 前記ゲート絶縁膜を熱処理する工程は、1 0 0 ℃ 以上の温度で実施される請求項 1 記載の電界効果トランジスタの製造方法。

【請求項 3】 前記ゲート絶縁膜を形成する工程は、前記基板への加熱を禁止して実施される請求項 1 記載の電界効果トランジスタの製造方法。

【請求項 4】 前記ゲート絶縁膜を形成する工程は、前記基板を室温以下に冷却しながら実施される請求項 1 記載の電界効果トランジスタの製造方法。

【請求項 5】 前記ゲート絶縁膜は、プラズマ C V D 法にて形成される請求項 1 乃至 4 のいずれか一項に記載の電界効果トランジスタの製造方法。

【請求項 6】 前記ゲート絶縁膜は、マイクロ波プラズマ C V D 法にて形成される請求項 1 乃至 4 のいずれか一項に記載の電界効果トランジスタの製造方法。

【請求項 7】 基板上に能動層となる半導体層を形成する工程と、
前記半導体層上に、基板温度を 1 0 0 ℃ 以下に設定して第 1 段階ゲート絶縁膜を形成する工程と、

前記基板温度を 1 0 0 ℃ 以上に設定して第 2 段階ゲート絶縁膜を形成する工程と、を備える電界効果トランジスタの製造方法。

【請求項 8】 前記第 1 段階ゲート絶縁膜を形成後、水を含んだ雰囲気中にて当該第 1 段階ゲート絶縁膜を熱処理する工程をさらに備える請求項 7 記載の電界効果トランジスタの製造方法。

【請求項 9】 前記ゲート絶縁膜を熱処理する工程は、1 0 0 ℃ 以上の温度で実施される請求項 8 記載の電界効果トランジスタの製造方法。

【請求項 1 0】 前記第 1 段階ゲート絶縁膜を形成する工程は、前記基板への

加熱を禁止して実施される請求項 7 記載の電界効果トランジスタの製造方法。

【請求項 1 1】 前記第 1 段階ゲート絶縁膜を形成する工程は、前記基板を室温以下に冷却しながら実施される請求項 7 記載の電界効果トランジスタの製造方法。

【請求項 1 2】 前記第 1 段階ゲート絶縁膜を形成する工程は、プラズマ C V D 法にて実施される請求項 7 乃至 1 1 のいずれか一項に記載の電界効果トランジスタの製造方法。

【請求項 1 3】 前記第 1 段階ゲート絶縁膜を形成する工程は、マイクロ波プラズマ C V D 法にて実施される請求項 7 乃至 1 1 のいずれか一項に記載の電界効果トランジスタの製造方法。

【請求項 1 4】 前記第 2 段階ゲート絶縁膜を形成する工程は、T E O S ガスを用いたプラズマ C V D 法にて実施される請求項 7 乃至 1 3 のいずれか一項に記載の電界効果トランジスタの製造方法。

【請求項 1 5】 基板上に能動層となる半導体層を形成する工程と、
前記半導体層上に、基板温度を 1 0 0 ℃以下に設定してゲート絶縁膜を形成する工程と、

水を含んだ雰囲気中にて前記ゲート絶縁膜を熱処理する工程と、を備える電界効果トランジスタの製造方法で製造された電子装置。

【請求項 1 6】 基板上に能動層となる半導体層を形成する工程と、
前記半導体層上に、基板温度を 1 0 0 ℃以下に設定して第 1 段階ゲート絶縁膜を形成する工程と、

前記基板温度を 1 0 0 ℃以上に設定して第 2 段階ゲート絶縁膜を形成する工程と、を備える電界効果トランジスタの製造方法で製造された電子装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は単結晶半導体基板上に形成される素子、例えば、電界効果トランジスタ、絶縁体上に形成される薄膜トランジスタおよびこれにより形成したロジック回路、メモリ回路、液晶表示装置および有機 E L 表示装置等の電子装置に用いら

れる表示画素または表示装置駆動回路の構成素子として利用される薄膜トランジスタ等の製造方法に関するものである。

【 0 0 0 2 】

【従来の技術】

多結晶シリコン等の半導体膜は、薄膜トランジスタ（以下、「T F T」と称する。）や太陽電池に広く利用されている。とりわけ多結晶シリコン（poly-Si）T F Tは、高移動度化が可能でありながら、ガラス基板のように透明で絶縁性の基板上に作成できる。この特長を生かして多結晶シリコンT F Tは、液晶表示装置（L C D）や液晶プロジェクター等の光変調素子あるいは液晶駆動用内蔵ドライバーの構成素子として広く用いられ、新しい市場の創出に成功している。

【 0 0 0 3 】

ガラス基板上に高性能なT F Tを作成する方法としては、高温プロセスと呼ばれる製造方法がすでに実用化されている。高温プロセスとは、工程最高温度が1 0 0 0℃程度の高温を用いるT F Tの製造方法中の一プロセスである。高温プロセスの特長は、シリコンの固相成長により比較的良質の多結晶シリコンを作成することができること、熱酸化により良質のゲート絶縁膜（一般的に二酸化珪素）および清浄な多結晶シリコンーゲート絶縁膜間の界面を形成できること等である。高温プロセスのこれらの特長により、高移動度を有し、しかも信頼性の高い高性能T F Tを安定的に製造することができる。

【 0 0 0 4 】

しかし、高温プロセスを用いるためにはT F Tを作成する基板が1 0 0 0℃以上の高温の熱工程に耐え得る必要がある。この条件を満たす透明な基板は現在のところ石英ガラスが適当である。このため昨今の多結晶シリコンT F Tは、高価で小さい石英ガラス基板上に作成されており、コストの問題上大型化には向かないと考えられている。また、固相成長法は、十数時間という長時間の熱処理が必要であるため、一般に生産性が極めて低いという課題がある。さらに、この方法では、基板全体が長時間加熱されている事に起因して基板の熱変形が大きな問題となるため、安価な大型ガラス基板を使用し得ないと考えられており、これもまた低コスト化の妨げとなっている。

【0005】

一方、高温プロセスが持つ上記欠点を解消し、尚且つ高移動度の多結晶シリコンTFETの製造を可能するのが、低温プロセスと呼ばれる技術である。低温プロセスとは、一般に、比較的安価な耐熱性ガラス基板を使うために、工程最高温度がおおむね600℃以下に設定される多結晶シリコンTFETの製造プロセスである。低温プロセスでは、発振時間が極短時間のパルスレーザーを用いてシリコン膜の結晶化をおこなうレーザー結晶化技術が広く使われている。レーザー結晶化とは、ガラス基板上のアモルファスシリコン膜に高出力のパルスレーザー光を照射することによって瞬時に熔融させ、これが凝固する過程で結晶化するという性質を利用する技術をいう。最近では、ガラス基板上のアモルファスシリコン膜にエキシマレーザービームをくり返し照射しながらスキャンすることによって、大面積の多結晶シリコン膜を作成する技術が広く使われるようになった。また、ゲート絶縁膜としては、プラズマCVDをもちいた成膜方法により二酸化珪素（ SiO_2 ）膜が成膜可能となり、実用化への見通しが得られるほどになった。これらの技術によって、現在では一辺が数十センチほどもある大型のガラス基板上に多結晶シリコンTFETが作成可能となっている。

【0006】

【発明が解決しようとする課題】

しかし、この低温プロセスで問題となるのは、能動層となる半導体表面とゲート絶縁膜との界面（以下、「MOS界面」という。）に高い密度の界面準位が発生し、これがTFETの移動度や閾値電圧を大きく左右する要因となることである。1000℃以上の熱酸化によって形成される良好なMOS界面における界面準位密度は、 $2 \times 10^{10} \text{ (cm}^{-2} \text{ eV}^{-1}\text{)}$ 程度に低減することができるが、プラズマCVDなどにより400℃以下の低温で絶縁膜を形成した場合、MOS界面準位密度は $10^{11} \sim 10^{12} \text{ (cm}^{-2} \text{ eV}^{-1}\text{)}$ という高い値になる。これら界面準位のエネルギーは、半導体のバンドギャップ中に位置するため、容易にキャリアを捕獲する。

【0007】

電界効果トランジスタの場合、ゲート電極に電圧を印加するとMOSキャパシ

タ容量によって決まるキャリアが半導体側に誘起される。しかし半導体側、すなわちMOS界面に欠陥があると、誘起されたキャリアがこれら欠陥に捕獲され伝導に寄与できない。結果として、より高いゲート電圧を印加し、欠陥よりも多くのキャリアを誘起してやらないとドレイン電流が得られないことになる。これがTFTの閾値電圧を高くしている原因である。現状では上記欠陥を積極的に制御する有効な手段がないため、TFTの閾値電圧が高い、あるいはロット間でのばらつきが大きいという結果を招き、これが現在の製造プロセスでの最大の問題となっている。

【0008】

現状として低温プロセスで製造された多結晶シリコンTFTの閾値電圧はおおむね3～4V程度である。閾値電圧を例えば1V程度に下げることができれば、TFTで作製した回路の駆動電圧を現在の3分の1以下に下げることができる。回路の消費電力は駆動電圧の2乗に比例するので、駆動電圧を3分の1以下に下げることができれば消費電力を現在の10分の1近くに飛躍的に下げることが可能となるのである。こうすることによって、例えば携帯情報機器向けのディスプレイに適した超低消費電力の液晶ディスプレイが実現できるのである。このような目的を達成するためには、poly-SiおよびMOS界面の欠陥面密度を共に $10^{10} \text{ (cm}^{-2} \text{ eV}^{-1})$ 程度にまで低減することが求められる。

【0009】

そこで本発明は上述の諸課題を鑑み、低温プロセスで形成したMOS界面の欠陥を低減させ、多結晶シリコンTFTおよび回路の特性向上を実現する電界効果トランジスタの製造方法を与えるものである。

【0010】

【課題を解決するための手段】

上記課題を解決する為に下記発明が提供される。

【0011】

本発明は、基板上に能動層となる半導体層を形成する工程と、半導体層上に、基板温度を100℃以下に設定してゲート絶縁膜を形成する工程と、水を含んだ雰囲気中にてゲート絶縁膜を熱処理する工程と、を備える電界効果トランジスタ

の製造方法である。

【 0 0 1 2 】

ここで「基板上に能動層となる半導体層を形成する工程」とは、結晶引き上げ等によって単結晶基板を形成するような場合も含む。

【 0 0 1 3 】

例えば、ゲート絶縁膜を熱処理する工程は、100℃以上の温度で実施される。例えば、ゲート絶縁膜を形成する工程は、基板への加熱を禁止して実施される。例えば、ゲート絶縁膜を形成する工程は、基板を室温以下に冷却しながら実施される。例えば、ゲート絶縁膜は、プラズマCVD法にて形成される。例えば、ゲート絶縁膜は、マイクロ波プラズマCVD法にて形成される。

【 0 0 1 4 】

もう一つの発明は、基板上に能動層となる半導体層を形成する工程と、半導体層上に、基板温度を100℃以下に設定して第1段階ゲート絶縁膜を形成する工程と、基板温度を100℃以上に設定して第2段階ゲート絶縁膜を形成する工程と、を備える電界効果トランジスタの製造方法である。

【 0 0 1 5 】

ここで、第1段階ゲート絶縁膜および第2段階ゲート絶縁膜は、形成条件あるいは成膜方法が異なる成膜工程によって形成されるものである。例えば成膜中に温度や放電パワーを変更するような成膜方法によって形成されたゲート絶縁膜は、その前後で第1段階および第2段階のゲート絶縁膜と区別される。

【 0 0 1 6 】

例えば、第1段階ゲート絶縁膜を形成後、水を含んだ雰囲気中にて当該第1段階ゲート絶縁膜を熱処理する工程をさらに備える。例えば、ゲート絶縁膜を熱処理する工程は、100℃以上の温度で実施される。例えば、第1段階ゲート絶縁膜を形成する工程は、基板への加熱を禁止して実施される。例えば、第1段階ゲート絶縁膜を形成する工程は、基板を室温以下に冷却しながら実施される。例えば、第1段階ゲート絶縁膜を形成する工程は、プラズマCVD法にて実施される。例えば、第1段階ゲート絶縁膜を形成する工程は、マイクロ波プラズマCVD法にて実施される。例えば、第2段階ゲート絶縁膜を形成する工程は、TEOS

ガスを用いたプラズマCVD法にて実施される。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態の一例を図面に基づいて詳述する。図1および図2に多結晶シリコンTFTの製造工程断面図を示す。

【0018】

＜半導体薄膜の形成＞（図1：ST1）

本願発明の実施のためには通常、基板101の上に下地保護層102を形成し、その上に半導体層103を形成するので、この一連の形成方法について説明する。

【0019】

本発明を適応し得る基板101としては、金属等の導電性物質、シリコン・カーバイド（SiC）やアルミナ（Al₂O₃）、窒化アルミニウム（AlN）等のセラミック材料、熔融石英やガラス等の透明または非透明絶縁性物質、シリコンウェーハ等の半導体物質、およびそれを加工したLSI基板等が使用可能である。半導体層103は、基板上に直接又は下地保護層102や下部電極（図示せず）等を介して堆積される。またシリコンウェーハなどの単結晶基板は、そのまま能動層となる半導体層103として使用可能である。

【0020】

下地保護層102としては、酸化硅素膜（SiO_x：0<x≤2）や窒化硅素膜（Si₃N_x：0<x≤4）等の絶縁性物質が使用可能である。TFT等の薄膜半導体装置を通常ガラス基板上に作成する場合には、半導体層への不純物制御が重要である。このような場合、ガラス基板中に含まれているナトリウム（Na）等の可動イオンが半導体層中に混入しない様に下地保護層を形成した後に半導体層を堆積する事が好ましい。同じ事情は各種セラミック材料を基板として用いる場合にも通ずる。下地保護膜は、セラミック中に添加されている焼結助材原料等の不純物が半導体部に拡散及び混入するのを防止するものである。金属材料などの導電性材料を基板として用い、かつ半導体層が金属基板と電氣的に絶縁されていなければならない場合には、絶縁性を確保する為に下地保護層は必要不可

欠である。さらに、半導体基板やLSI素子上に半導体膜を形成する時にはトランジスタ間や配線間の層間絶縁膜が同時に下地保護層ともなる。

【0021】

下地保護層は、まず基板を純水やアルコールなどの有機溶剤で洗浄した後、基板上に常圧化学気相堆積法（APCVD法）や低圧化学気相堆積法（LPCVD法）、プラズマ化学気相堆積法（PECVD法）等のCVD法或いはスパッタ法等を適用して形成される。下地保護層として酸化硅素膜を用いる場合、常圧化学気相堆積法では、例えば基板温度を250℃程度から450℃程度としてモノシラン（ SiH_4 ）や酸素を原料として堆積し得る。プラズマ化学気相堆積法やスパッター法では、例えば基板温度は室温から400℃程度である。下地保護層の膜厚は基板からの不純物元素の拡散と混入を防ぐのに十分な厚さが必要で、例えば最小で100nm程度以上が必要である。ロット間や基板間のばらつきを考慮すると、下地保護層の膜厚は、200nm程度以上が好ましく、300nm程度あれば保護膜としての機能を十分に果たし得る。下地保護層がIC素子間やこれらを結ぶ配線等の層間絶縁膜を兼ねる場合には、通常400nmから600nm程度の膜厚となる。絶縁膜が余りにも厚くなると絶縁膜のストレスに起因するクラックが生ずる。そのため、最大膜厚は2μm程度が好ましい。生産性を考慮する必要がある場合、絶縁膜厚は1μm程度が上限である。

【0022】

次に半導体層103について説明する。本発明が適用される半導体層としてはシリコン（Si）やゲルマニウム（Ge）等の四族単体の半導体膜の他に、シリコン・ゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$: $0 < x < 1$ ）やシリコン・カーバイド（ $\text{Si}_x\text{C}_{1-x}$: $0 < x < 1$ ）やゲルマニウム・カーバイド（ $\text{Ge}_x\text{C}_{1-x}$: $0 < x < 1$ ）等の四族元素複合体の半導体膜、ガリウム・ヒ素（GaAs）やインジウム・アンチモン（InSb）等の三族元素と五族元素との複合体化合物半導体膜、またはカドミウム・セレン（CdSe）等の二族元素と六族元素との複合体化合物半導体膜等がある。あるいはシリコン・ゲルマニウム・ガリウム・ヒ素（ $\text{Si}_x\text{Ge}_y\text{Ga}_z\text{As}_z$: $x + y + z = 1$ ）と云った更なる複合化合物半導体膜やこれらの半導体膜にリン（P）、ヒ素（As）、アンチモン（

S b) などのドナー元素を添加したN型半導体膜、あるいはホウ素 (B)、アルミニウム (Al)、ガリウム (Ga)、インジウム (In) 等のアクセプター元素を添加したP型半導体膜に対しても本発明は適応可能である。これら半導体膜はAPCVD法やLPCVD法、PECVD法等のCVD法、或いはスパッタ法等や蒸着法等のPVD法で形成する。半導体膜としてシリコン膜を用いる場合、LPCVD法では基板温度を400℃程度から700℃程度としてジシラン (Si_2H_6) などを原料として堆積し得る。PECVD法ではモノシラン (SiH_4) などを原料として基板温度が100℃程度から500℃程度で堆積可能である。スパッター法を用いる時には、基板温度は室温から400℃程度である。この様に堆積された半導体膜の初期状態 (as-deposited) には、非晶質や混晶質、微結晶質、あるいは多結晶質等様々な状態があるが、本願発明にあっては初期状態はいずれの状態であっても構わない。なお本願明細書中では非晶質の結晶化のみならず、多結晶質や微結晶質の再結晶化をも含めて、総て結晶化と呼ぶ。半導体膜の膜厚はそれをTFTに用いる時には20nm程度から100nm程度が適している。

【0023】

<半導体薄膜のレーザー結晶化> (図1: ST2、図3、図4)

基板101上に下地保護層と半導体層を形成した後、この半導体層をレーザー照射 (レーザー光104) によって結晶化する。通常、LPCVD法、PECVD法等のCVD法で堆積させたシリコン膜表面は自然酸化膜で覆われていることが多い。従って、レーザー光を照射する前にこの自然酸化膜を除去する必要がある。このためには、例えば、弗酸溶液に浸してウエットエッチングする方法や、フッ素を含んだプラズマ中でのドライエッチング等がある。

【0024】

次に、半導体層103が形成された基板101をレーザー照射チャンバーにセットする。レーザー照射チャンバーは一部分が石英の窓によってできており、チャンバーを真空に排気した後この石英窓からレーザー光104を照射する。

【0025】

ここでレーザー光について説明する。レーザー光104は半導体層103の表

面で強く吸収され、その直下の下地保護層 1 0 2 や基板 1 0 1 にはほとんど吸収されないことが望まれる。従って、レーザー光としては紫外域またはその近傍の波長を持つエキシマレーザー、アルゴンイオンレーザー、YAGレーザー高調波等が好ましい。また、半導体薄膜を高温に加熱すると同時に基板へのダメージを防ぐためには大出力でしかも極短時間のパルス発振であることが必要となる。従って、上記レーザー光の中でも、特にキセノン・クロライド (XeCl) レーザー (波長 3 0 8 nm) やクリプトンフロライド (KrF) レーザー (波長 2 4 8 nm) 等のエキシマ・レーザーが最も適している。

【 0 0 2 6 】

次に、レーザー光の照射方法について図 3 を参照して述べる。図 3 は、レーザー光の照射対象となる基板 2 0 0 の平面図である。

【 0 0 2 7 】

レーザーパルスの強度半値幅は、例えば 1 0 ns 程度から 5 0 0 ns 程度の極短時間である。レーザー照射は、基板 2 0 0 の温度を室温 (例えば 2 5 °C) 程度から 4 0 0 °C 程度の間とした場合、背景真空度が 10^{-4} Torr 程度から 10^{-9} Torr 程度の真空中にて行う。レーザー照射の一回の照射面形状は、対角 5 mm 程度から 6 0 mm 程度の正方形または長方形形状である。

【 0 0 2 8 】

以下、レーザー照射の一回の照射で、例えば 8 mm の正方形面積が結晶化できるビームを用いた場合について説明する。一個所に 1 発のレーザーを位置 2 0 1 で照射した後、レーザーを基板 2 0 0 に対し相対的に水平方向 (X 方向) に一定量 2 0 3 ずらす。この位置 2 0 2 で、再び 1 発のレーザー照射をおこなう。このショットアンドスキャンを連続的に繰り返していくことによって、大面積の基板にも対応できる。移動させる距離は、各照射毎に照射領域の 1 % 程度から 9 9 % 程度にする (例えば 5 0 % : 先の例では 4 mm)。最初に水平方向 (X 方向) に走査した後、垂直方向 (Y 方向) に適定量 2 0 4 ずらせて、再び水平方向 (-X 方向) に所定量 2 0 3 ずつずらせて走査し、以後この走査を繰り返し基板全面に及ぶ第一回目のレーザー照射を行う。この第一回目のレーザー照射のエネルギー密度は、 50 mJ/cm^2 程度から 600 mJ/cm^2 程度の間が好ましい。第

一回目のレーザー照射が終了した後、必要に応じて第二回目のレーザー照射を基板全面に施す。第二回目のレーザー照射を行う場合、そのエネルギー密度は一回目より高い値が好ましく、 100 mJ/cm^2 程度から 1000 mJ/cm^2 程度の間としてもよい。走査方法は第一回目のレーザー照射と同じで正形状の照射領域をY方向とX方向に適当量ずらせて走査する。さらに、必要に応じてエネルギー密度をより高くした第三回目あるいは第四回目のレーザー照射を行うことも可能である。こうした多段階レーザー照射法を用いるとレーザー照射領域端部に起因するばらつきを完全に消失させる事が可能になる。一段階の照射において、レーザー照射は総て、半導体膜に損傷が入らぬ程度のエネルギー密度で行う。

【 0 0 2 9 】

図3による走査以外にも、例えば図4に示すように、レーザー301の基板300に対する照射領域形状302を幅 $100\text{ }\mu\text{m}$ 程度以上で長さが数 10 cm 以上のライン状とし、このライン状レーザー光を走査して結晶化を進めてもよい。この場合、各照射毎におけるビームの幅方向の重なりは、例えばビーム幅の5%程度から95%程度とする。ビーム幅が $100\text{ }\mu\text{m}$ でビーム毎の重なり量が90%である場合、一回の照射毎にビームは $10\text{ }\mu\text{m}$ 進むので、基板300上の同一点は10回のレーザー照射を受けることとなる。通常、半導体膜を基板全体で均一に結晶化させるには少なくとも5回程度以上のレーザー照射が望まれるので、照射毎のビームの重なり量は80%程度以上が求められる。高い結晶性の多結晶膜を確実に得るには、同一点が10回程度から30回程度の照射が行われる様に重なり量を90%程度から97%程度へと調整することが好ましい。ラインビームを用いることによって1方向のスキャニングで広い面積の結晶化ができるので、前述の正方形ビームに比べてスループットを高められるというメリットがえられる。

【 0 0 3 0 】

＜半導体薄膜のプラズマ処理＞（図1：ST3）

レーザー結晶化直後の多結晶シリコン膜中には $10^{18}\text{ (cm}^{-3}\text{)}$ 程度の高い密度で欠陥が存在する。これはレーザー結晶化が極めて高速の結晶成長であるためで、特に結晶粒界に多くの欠陥が局在する。これら欠陥の正体はシリコンの

未結合手（ダングリングボンド）である。未結合手は、通常は中性であるがキャリアを捕獲して電荷を帯びる性質がある。これら欠陥が高密度で多結晶シリコン膜中に存在すると、TFTを動作させようとしたとき電界効果によって誘起されたキャリアがことごとく欠陥に捕獲されてしまうので、ソースドレイン電極間に電流が流れないことになってしまう。結果として、より高いゲート電圧をかける必要が生じ、閾値電圧の上昇を招くのである。これを防ぐために、上記レーザー結晶化工程（図3、図4参照）によって全面結晶化が終了した後、基板を真空ロボットによりプラズマ処理チャンバーに移送し、このチャンバーに水素や酸素、窒素ガスを、マスフローコントローラを経て導入し、平行平板RF電極により試料全面にてプラズマ放電105をおこなう。ここでガス圧力は、例えば1 Torr程度になるように調整する。プラズマ発生は、他にも誘導結合型RF放電やECR放電、直流放電あるいは熱フィラメントによる熱電子をもちいた電離によって発生させることができる。レーザー結晶化直後の多結晶シリコン膜に基板温度250℃で水素プラズマ処理を5秒から300秒施すことによって膜中の欠陥は $10^{16} \text{ (cm}^{-2} \text{ eV}^{-1})$ 程度の密度に劇的に減少し、電氣的に優れた多結晶シリコン膜を得ることが出来る。

【0031】

水素はシリコン膜中での拡散速度が極めて大きいので、例えば50nm程度の膜厚の多結晶シリコンならば処理時間は160秒程度で十分である。水素は原子半径が小さく多結晶シリコン膜の深い位置、すなわち下地層との界面まで効率的に欠陥パッシベーションが短時間で可能となる。水素プラズマは基板温度に依存してシリコンエッチングモードの効果が生じる。これを回避するためには基板温度をおおむね100℃～400℃に保つ必要がある。なお、工程のタクトタイムを短縮するためには、例えば、レーザー結晶化を行った後、基板を真空ロボットアームによって別の真空チャンバーに移動させ、前記水素、酸素、窒素プラズマ処理を行うことが有効である。

【0032】

欠陥を低減させるプロセスとしては上記の理由により水素プラズマが適しているが、他にも酸素プラズマ、窒素プラズマ、フッ素プラズマなどのプラズマ処理

によって欠陥を低減することも可能である。

【0033】

<第1段階絶縁膜形成> (図1: ST4)

上記工程により多結晶シリコン膜の高品質化を達成することが可能であるが、更に重要なプロセスは高品質なMOS界面を形成する工程である。この工程は、多結晶シリコン表面に存在するシリコン原子にうまく酸素原子を結合させて界面準位密度を低減させる工程である。

【0034】

シリコン膜表面にはおよそ $10^{15} \text{ (cm}^{-2}\text{)}$ の結合手が存在するので、これらのほとんどが SiO_2 と純粋な化学結合を形成することが重要となる。TFETのトランジスタ特性を良好なものにするには、界面準位密度を、例えば $10^{10} \text{ (cm}^{-2}\text{)}$ 程度に抑える必要がある。すなわち、10万個のシリコン結合手に対して1個程度の欠陥しか許容されず、あとの結合手は酸素原子と秩序正しく結合をしていなければならないという大変厳しいものである。従来のプラズマCVDプロセスにおいて、この界面準位密度はせいぜい $10^{12} \text{ (cm}^{-2} \text{ eV}^{-1}\text{)}$ 程度にしか制御することができなかった。

【0035】

本発明では、半導体層上にゲート絶縁膜を形成する工程において、基板温度を 100°C 以下で処理する。プラズマCVDによって、プラズマ中の活性酸素ラジカルによって SiH_4 ガスが分解され、気相で SiO_2 が形成されこれが基板上に堆積する。このような反応性にとんだ雰囲気下で堆積された SiO_2 は半導体表面でシリコンと化学結合を形成し良好な界面を作りうる。しかしながら、成膜雰囲気中に存在する酸素の活性種により SiO_2 の堆積と同時に半導体表面の酸化が進行するのである。ここで酸化というのは原子層1層レベル以下の現象である。シリコンは酸化されると体積が1.5倍に増加するため、酸化された Si-SiO_2 結合には局所的な応力発生がともなう。これが界面準位の主たる原因である。よって、 SiO_2 の堆積により良好な Si-SiO_2 結合が形成される割合に対して、酸化によって形成された Si-SiO_2 結合の割合が増加すると結果的に高い界面準位を有するMOS界面が形成されるのである。定量的に説明

すると、界面に存在するシリコン結合手およそ $10^{15} \text{ (cm}^{-2}\text{)}$ のうちほとんどが SiO_2 の堆積により良好な結合を形成する。しかしこのうちの $10^{10} \text{ (cm}^{-2}\text{)}$ 以上の Si-SiO_2 結合がシリコンの酸化によって形成されると、これがそっくり界面準位となるのである。すなわち、 10^5 分の 1 の確率、すなわち 10 万個に 1 個の Si-SiO_2 結合であっても酸化が起こると無視できない程度の界面準位を発生するということである。このような界面形成機構は当然の事ながら成膜初期段階で起こる。すなわち、半導体上に SiO_2 が堆積開始すると同時に、前記酸化過程が起こっているのである。本発明はこの界面形成機構を開示すると同時に、先に述べた酸化によって形成される界面準位密度の活性化エネルギーが極めて大きいことを開示するものである。言い換えると、基板温度によって界面準位密度を制御できるということである。

【 0 0 3 6 】

図 5 は、絶縁膜形成時の基板温度 T_s と界面準位密度 $D_{it} \text{ (cm}^{-2} \text{eV}^{-1}\text{)}$ の水雰囲気中での熱アニール時間依存性の実験結果を示すものである。この結果からわかるように、水雰囲気中熱アニールで相当量の界面準位が低減できるのだが、この処理は一旦酸化された結合を修復することはできない。ところが、成膜時の基板温度を低くすることによって、シリコン表面においておこる酸化の確率を劇的に低減することができるのである。これは界面で起こる酸化が基板温度に強く依存する、すなわち基板温度が高いほど酸化が起こりやすいということを示している。図 5 から判るように、基板温度を 100°C 以下（例えば、室温 $R.T.$ ）にすることによって界面準位密度を $1 \times 10^{11} \text{ (cm}^{-2} \text{eV}^{-1}\text{)}$ 程度に低減できる。また基板温度を 100°C 程度にしておけば、プラズマ CVD の反応副生成物である OH 結合が絶縁膜中で発生するのを低減することができるためフラットバンド電圧のシフトや絶縁膜の信頼性を確保することができるので実用上良好な条件を与える。また、基板加熱をしない条件下で成膜をおこなってもよい。この方法によれば、装置構造が簡単になるため製造コストの面で非常に有利であり、基板温度の調整が不要なためプロセスのスループットが高い。なおかつ、この方法では、 $8 \times 10^{10} \text{ (cm}^{-2} \text{eV}^{-1}\text{)}$ の良好な界面準位密度を与えるものである。プラズマ CVD による成膜ではプラズマから基板への熱輸

送が起こり基板温度は自然に上昇するため、基板を積極的に低い温度に制御することも有効である。すなわち基板温度を室温程度または室温以下に冷却することによって、さらに良好な界面準位密度をえることができる。図5に見られるように、室温で $3 \times 10^{10} \text{ (cm}^{-2} \text{ eV}^{-1})$ の界面準位密度が、さらに基板を -50°C に冷却することで $1 \times 10^{10} \text{ (cm}^{-2} \text{ eV}^{-1})$ の界面準位密度をえることができるのである。これらの界面準位の値は熱酸化膜で絶縁膜を形成した際にえられる界面準位密度と同じ値である。すなわち、絶縁膜形成時の基板温度を下げることによって、低温でも極めて優れたMOS界面を形成することができるのである。このような超高品質MOS界面を用いることによって、電界効果トランジスタの閾値電圧を1V程度に下げることが可能である。これにより、超低消費電力の回路を実現することができる。

【0037】

以上のような界面制御技術は、特にプラズマにより絶縁膜を形成する場合に重要である。それは減圧下で大量の酸素活性種が発生されるためである。すなわちこれら酸素活性種による半導体表面における極わずかな確率で起こる酸化過程を制御することがプラズマを用いたMOS界面形成では本質的となるのである。

【0038】

さらに、マイクロ波放電を用いたプラズマCVDでは界面準位密度低減の効果は顕著である。これは一般的にマイクロ波放電プラズマはプラズマ密度が高いという利点がある反面、 1.0^{-3} Torr 程度の比較的低圧力で生成されるためプラズマ中の電子の平均自由行程が長く、より高次の分解が促進されるからである。すなわち、酸素分子ラジカルよりも、原子状酸素、酸素ラジカルが反応の主体であり、これらは界面の酸化に関して極めて活性である。従ってマイクロ波放電プラズマを用いた絶縁膜形成においては、基板温度を下げて成膜することによって劇的に界面準位密度を低減できるのである。

【0039】

具体的な工程としては、例えば、レーザー結晶化によって形成された多結晶シリコン膜は真空中連続で水素プラズマ処理され、その後更に真空を破ること無く絶縁膜形成チャンバへと真空搬送される。真空チャンバー中で基板を 100°C 以

下に調温し、背景真空度が 10^{-6} Torr 台になるまで真空排気する。この状態で真空チャンバー内に酸素ガスとシランガス (SiH_4) を流す。放電を安定させるために He ガスで希釈する方法もよくおこなわれる。一般的に、酸素ガス流量はシランガス流量の 5 倍以上とする。この状態でプラズマ放電をおこない、 SiO_2 膜 (絶縁膜) 106 形成をおこなう。放電の形態としては平行平板型 RF 放電、ICP 放電、ECR 放電などがあり、電源としては RF 電源や VHF、UHF 電源、マイクロ波源を用いることができる。以上が第 1 段階の絶縁膜形成工程である。

【0040】

＜アニール工程＞ (図 1 : ST5)

本発明では、さらに、絶縁膜形成行程 ST4 を経た後、基板を真空装置から取り出し、 100°C 以上の基板温度で、水分を含んだ雰囲気中にて加熱処理をおこなう。前記工程 ST4 にて低い基板温度で形成された絶縁膜 106 は反応副生成物である $\text{Si}-\text{OH}$ 結合を多く含み、バルク絶縁膜特性が悪いため、これを改善するのがこの工程の目的である。特に半導体表面とキャリアのやり取りができる程度に MOS 界面近傍に存在する絶縁膜中の欠陥は MOS 界面準位にも影響を与える。

【0041】

図 6 に、絶縁膜成膜直後と、前記アニールを施した後での CV 特性を示す。 OH 結合が絶縁膜の界面近傍に多く存在すると、これが界面特性に悪影響を及ぼす。またバルク絶縁膜の耐圧低下を招く。しかし、 100°C 以上の水蒸気雰囲気中にて熱処理を施すことによって、この $\text{Si}-\text{OH}$ 結合を劇的に低減することができる。この効果が絶大であることは図 6 から明白である。これにより、本発明においては、界面準位の劇的な低減および絶縁耐圧、信頼性の確保が可能となる。

【0042】

＜素子分離工程＞ (図 2 : ST6)

上述したレーザー結晶化、プラズマ処理、MOS 界面形成の真空中連続プロセスにより極めて高品質の MOS 構造が形成された。次に、TFT 素子同士を電氣的に絶縁するために素子分離をおこなう。

【 0 0 4 3 】

ここでは図 2 : S T 6 に示すように、絶縁膜 1 0 6 と多結晶シリコン層 1 0 3 とを連続でエッチングする。例えば、絶縁膜 1 0 6 上にフォトリソグラフィによりパターンを形成した後、ウェットまたはドライエッチングにより絶縁膜 1 0 6 である SiO_2 をエッチングする。引き続き多結晶シリコン層 1 0 3 をドライエッチングによりエッチングする。ここでは SiO_2 と poly-Si 膜の 2 層をエッチングするので、エッチング後のエッジの形状が庇状にならないよう注意する必要がある。

【 0 0 4 4 】

＜第 2 段階ゲート絶縁膜形成＞（図 2 : S T 7）

島状の絶縁膜 1 0 6 および多結晶シリコン層 1 0 3 を形成した後、基板全面にかけてさらにゲート絶縁膜 1 0 7 を形成する。ゲート絶縁膜の成膜方法としては、例えば、ECR プラズマ CVD 法、平行平板 RF 放電プラズマ CVD 法などが使用可能である。または再度酸素ラジカル中で SiO 蒸着することによって絶縁膜を形成してもよい。ただし、この第 2 段階で形成する絶縁膜は、段差被覆性が良くないと、段差部分での電氣的ショートを引き起こしたり、耐圧低下の原因となる。このため段差被覆性に優れた成膜方法、例えば TEOS と酸素を原料ガスとしたプラズマ CVD が有効である。

【 0 0 4 5 】

また、第 1 段階で形成される絶縁膜は低温で形成するため絶縁耐圧が低くなる傾向が強い。しかしながら本発明が開示する 2 段階絶縁膜形成法を用いれば、第 2 段階として 1 0 0 °C 以上の基板温度で絶縁膜を形成することにより絶縁膜全体としての絶縁耐圧を向上させることができる。

【 0 0 4 6 】

図 7 は、第 1 段階の絶縁膜の成膜（基板温度 1 0 0 °C）のみで絶縁膜の耐圧を調べた場合（single layer）と、第 2 段階の絶縁膜成膜（基板温度 3 0 0 °C、TEOS + O_2 ）もおこなった後で 2 層構造絶縁膜（double layer）の耐圧を調べた場合との比較結果である。これから明らかなように、本発明が開示する 2 段階での絶縁膜形成法により、絶縁膜の耐圧を実用上十分な 7 (MV/cm) 程度に

まで改善することが可能となる。このようにMOS界面形成とバルク絶縁膜形成に異なる絶縁膜形成法を用いることによって、従来の低温プロセスでは実現し得なかった優れたMOS界面特性およびバルク絶縁膜特性の両立を実現することができるのである。

【0047】

<以降の工程>

引き続いて、図2：ST8に示すように、ゲート電極108となる薄膜をPVD法或いはCVD法などで堆積する。ゲート電極の材質は電気抵抗が低く、350℃程度の熱工程に対して安定である事が望まれ、例えばタンタル、タングステン、クロム等の高融点金属がふさわしい。また、イオンドーピングによってソース、ドレインを形成する場合、水素のチャネリングを防止するためにこのゲート電極の膜厚がおよそ700nm程度必要になる。前記高融点金属の中で、700nmもの膜厚で成膜しても膜ストレスによるクラックが生じない材料となると、例えばタンタルがふさわしい。

【0048】

ゲート電極となる薄膜を堆積後、パターニングを行い、引き続いて半導体膜に不純物イオン注入を行ってソース・ドレイン領域109、110を形成する。この時ゲート電極がイオン注入のマスクとなっているので、チャンネルはゲート電極下のみに形成される自己整合構造となる。不純物イオン注入は質量非分離型イオン注入装置を用いて注入不純物元素の水素化物と水素を注入するイオン・ドーピング法と、質量分離型イオン注入装置を用いて所望の不純物元素のみを注入するイオン打ち込み法の二種類が適応され得る。イオン・ドーピング法の原料ガスとしては水素中に希釈された濃度0.1%程度から10%程度のホスフィン(PH_3)やジボラン(B_2H_6)等の注入不純物元素の水素化物を用いる。イオン打ち込み法では、所望の不純物元素のみを注入した後に引き続いて水素イオン(プロトンや水素分子イオン)を注入する。前述の如くMOS界面やゲート絶縁膜を安定に保つ為には、イオン・ドーピング法にしろイオン打ち込み法にしろイオン注入時の基板温度は350℃以下であることが好ましい。一方、注入不純物の活性化を350℃以下の低温にて常に安定的に行うには(本願明細書ではこれを

低温活性化と称する)、イオン注入時の基板温度は200℃以上であることが望ましい。トランジスタのしきい値電圧を調整する為にチャンネル・ドープを行うとか、あるいはLDD構造を作成するといった様に低濃度に注入された不純物イオンを低温で確実に活性化するには、イオン注入時の基板温度は250℃以上であることが必要となる。この様に基板温度が高い状態でイオン注入を行うと、半導体膜のイオン注入に伴う結晶壊破の際に再結晶化も同時に生じ、結果としてイオン注入部の非晶質化を防ぐ事が出来るのである。即ちイオン注入された領域は注入後も依然として結晶質として残り、その後の活性化温度が350℃程度以下と低温であっても、注入イオンの活性化が可能になる。CMOS TFTを作成する場合には、ポリイミド樹脂等の適当なマスク材を用いてNMOS又はPMOSの一方を交互にマスクで覆い、上述の方法にてそれぞれのイオン注入を行う。

【0049】

また、不純物の効率的な活性化法としてエキシマレーザーなどを照射するレーザー活性化がある。これは絶縁膜を通してレーザー照射することによりソース、ドレイン部のドープ多結晶シリコンを熔融・固化させ、不純物を活性化させる方法である。

【0050】

次に、図2：ST9に示すように、ソース・ドレイン上にコンタクトホールを開孔し、ソース・ドレイン取り出し電極111、112と配線をPVD法やCVD法などで形成して薄膜トランジスタを完成させる。

【0051】

【実施例】

本発明の実施形態の製法により電界効果トランジスタを製造した。基板101及び下地保護層102に関しては前述の説明に準ずる。ここでは基板101の一例として300mm×300mmの正形状汎用無アルカリガラスを用いた。

【0052】

まず基板101上に絶縁性物質である下地保護層102を形成した。ここでは基板温度を150℃としてECR-PECVD法にて200nm程度の膜厚を有する酸化珪素膜を堆積した。

【 0 0 5 3 】

次に後に薄膜トランジスタの能動層となる真性シリコン膜等の半導体層 1 0 3 を堆積した。半導体膜の厚みは 5 0 n m 程度とした。本実施例では高真空型 L P C V D 装置を用いて、原料ガスで有るジシラン (Si_2H_6) を 2 0 0 S C C M 流し、4 2 5 ° C の堆積温度で非晶質シリコン膜 1 0 3 を堆積した。まず高真空型 L P C V D 装置の反応室を 2 5 0 ° C とした状態で反応室の内部に複数枚 (例えば 1 7 枚) の基板を、表側を下向きとして配置した。この後にターボ分子ポンプの運転を開始した。ターボ分子ポンプが定常回転に達した後、反応室内の温度を約 1 時間掛けて 2 5 0 ° C から 4 2 5 ° C の堆積温度に迄上昇させた。昇温開始後の最初の 1 0 分間は反応室にガスを全く導入せず真空中で昇温を行ない、しかる後純度が 9 9 . 9 9 9 9 % 以上の窒素ガスを 3 0 0 S C C M 流し続ける。この時の反応室内における平衡圧力は、 3.0×10^{-3} T o r r とした。堆積温度に到達した後、原料ガスであるジシラン (Si_2H_6) を 2 0 0 S C C M 流すと共に、純度が 9 9 . 9 9 9 9 % 以上の希釈用ヘリウム (H e) を 1 0 0 0 S C C M 流した。堆積開始直後の反応室内圧力は凡そ 0 . 8 5 T o r r であった。堆積の進行と共に反応室内の圧力は徐々に上昇し、堆積終了直前の圧力は凡そ 1 . 2 5 T o r r となった。同様に堆積したシリコン膜 1 0 3 は基板の周辺部約 7 m m を除いた 2 8 6 m m 角の領域内において、その膜厚変動は $\pm 5\%$ 以内であった。

【 0 0 5 4 】

次に、レーザー結晶化に先立って、非晶質シリコン膜を弗酸溶液に浸し、半導体層 1 0 3 上の自然酸化膜をエッチングした。一般的にシリコン膜が露出した表面は非常に不安定で、シリコン薄膜を保持している雰囲気物質と容易に反応を起こす。従って、レーザー照射をおこなう前処理では単に自然酸化膜を除去するだけでなく、露出したシリコン膜表面を安定化させる必要がある。このためには、弗酸溶液による処理が望ましい。実施例では、弗酸は純水との混合比が 1 : 3 0 になるようにした。この弗酸溶液中に約 2 0 から 3 0 秒浸した後、すぐに純水洗浄を 1 0 から 2 0 分おこなった。この後スピナーで純水を取り除いた。これによって、シリコン膜表面は水素原子でターミネートされた安定化表面になる。

【 0 0 5 5 】

次に、レーザー光照射をおこなった。本実施例ではキセノン・クロライド (XeCl) のエキシマ・レーザー (波長: 308 nm) を照射した。レーザーパルスの強度半値幅 (時間に対する半値幅) は 25 ns である。基板をレーザー結晶化チャンバーにセットした後、真空排気をおこなった。真空排気後基板温度を 250℃ まで上昇させた。一回のレーザー照射面積は 10 mm 角の正形状で、照射面でのエネルギー密度は 160 mJ/cm^2 であった。このレーザー光を 90% ずつ重ねつつ (つまり照射するごとに 1 mm づつ) 相対的にずらしながら照射を繰り返した (図 3 参照)。こうして一辺 300 mm の基板全体のアモルファスシリコンを結晶化した。同様な照射方法を用いて 2 回目のレーザー照射を行った。2 回目のレーザー照射は、エネルギー密度 180 mJ/cm^2 で行った。これをくり返し、3 回目、4 回目と約 20 mJ/cm^2 づつ照射エネルギー密度を上昇させながら最終的にはエネルギー密度 440 mJ/cm^2 の照射をおこないレーザー照射を終了させた。ここで 450 mJ/cm^2 の照射レーザーエネルギー密度を超えた高いエネルギーを照射すると、p-Si のグレインが微結晶化を起こすため、これ以上のエネルギー照射を避けた。

【0056】

次に、この基板を、真空を保持した状態でプラズマ処理チャンバーに搬送し、このチャンバー内に水素ガスを導入した。本例では 99.999% 水素ガスをマスフローコントローラから導入し、チャンバー内圧力が 1 Torr になるように調整した。この状態で平行平板電極に 13.56 MHz の RF を印可することによって放電を行い、水素によるレーザー結晶化 poly-Si 膜中の欠陥終端をおこなった。基板温度は 250℃、投入した RF パワーは 3 W/cm^2 とした。水素は十分短時間に膜中に拡散しうるので、160 秒の処理で特に多結晶シリコン膜の深い位置および下地層との界面に存在する欠陥を効率的に終端した。

【0057】

次に、真空を保ったままで基板 100 を絶縁膜形成チャンバーへと搬送した。基板搬送終了後、チャンバー内を 10^{-6} Torr 台の真空度に排気した。基板はここで -100℃ に冷却される。

【0058】

この間、チャンバー内にシランガスと酸素ガスを流量比 1 : 6 で導入し、チャンバー圧力を 2×10^{-3} Torr に調節した。基板温度が安定したら、ECR 放電を開始し、絶縁膜の成膜を開始する。投入したマイクロ波パワーは 1 kW で、マイクロ波は磁力線に平行に導入窓から導入した。導入窓から 20 cm の位置に ECR ポイントがある。成膜は 100 (nm/min.) の成膜速度でおこなった。これにより、第 1 層目のゲート絶縁膜 106 を 30 nm 形成した。

【0059】

次に、基板を真空チャンバから取り出し、これを 330℃ の飽和水蒸気雰囲気中にセットし、90 分間熱処理をおこなった。さらに多結晶シリコン層 103 と第 1 層絶縁膜 106 の連続エッチングをおこなった。引き続き、第 2 層絶縁膜 107 を、本実施例では平行平板型 rf 放電 PECVD 法で基板温度を 350℃ とし、70 nm 堆積した。原料ガスとしては TEOS ($\text{Si}-(\text{O}-\text{CH}_2-\text{CH}_3)_4$) と酸素 (O_2) の混合ガスを用いた。引き続いてゲート電極 108 となる薄膜を PVD 法或いは CVD 法などで堆積した。通常はゲート電極とゲート配線は同一材料にて同一工程で作られる為、この材質は電気抵抗が低く、350℃ 程度の熱工程に対して安定である事が望まれる。本実施例では、膜厚が 600 nm のタンタル薄膜をスパッタ法により形成した。タンタル薄膜を形成する際の基板温度は 180℃ であり、スパッタガスとして窒素ガスを 6.7% 含むアルゴンガスを用いた。同様に形成したタンタル薄膜は結晶構造が α 構造と成っており、その比抵抗は凡そ $40 \mu\Omega \text{ cm}$ であった。ゲート電極となる薄膜を堆積後、パターンニングを行い、引き続いて半導体膜に不純物イオン注入を行ってソース・ドレイン領域 109、110 及びチャンネル領域を形成した。この時ゲート電極 108 がイオン注入のマスクとなっているため、チャンネルはゲート電極下のみに形成される自己整合構造となる。イオン・ドーピング法の原料ガスとしては水素中に希釈された濃度 0.1% 程度から 10% 程度のホスフィン (PH_3) やジボラン (B_2H_6) 等の注入不純物元素の水素化物を用いる。本実施例では NMO S 形成を目指し、イオン・ドーピング装置を用いて、水素中に希釈された濃度 5% のホスフィン (PH_3) を加速電圧 100 keV で注入した。 PH_3^+ や H_2^+ イオンを含むの全イオン注入量は $1 \times 10^{16} \text{ cm}^{-2}$ である。

【 0 0 6 0 】

次に、ソース・ドレイン上にコンタクトホールを開孔し、ソース・ドレイン取り出し電極 1 1 1、1 1 2 と配線を P V D 法や C V D 法などで形成して薄膜トランジスタを完成させた。

【 0 0 6 1 】

従来の技術では、高品質な M O S 界面を形成する有効なプロセスが明確でなかった。しかし、以上述べて来た様に本発明の電界効果トランジスタの製造方法を用いることによって、極めて高品質な M O S 界面形成が可能となる。結果として高移動度、低しきい値電圧の電界効果トランジスタの製造が可能となり、超低消費電力回路の実現が可能となる。

【図面の簡単な説明】

【図 1】

本発明の電界効果トランジスタの製造方法を示した工程断面図（その一）。

【図 2】

本発明の電界効果トランジスタの製造方法を示した工程断面図（その二）。

【図 3】

レーザー結晶化時のレーザービーム照射方法を説明する図。

【図 4】

レーザー結晶化時のレーザービーム照射方法の説明図。

【図 5】

本発明で形成した M O S 界面の界面準位密度の基板温度依存性を示す図。

【図 6】

本発明の M O S 界面形成工程によって作製した M O S 構造の高周波 C - V 特性を示す線図。

【図 7】

本発明の 2 段階絶縁膜形成工程によって作製した M O S 構造と単層で形成した M O S 構造の絶縁耐圧特性を示す線図。

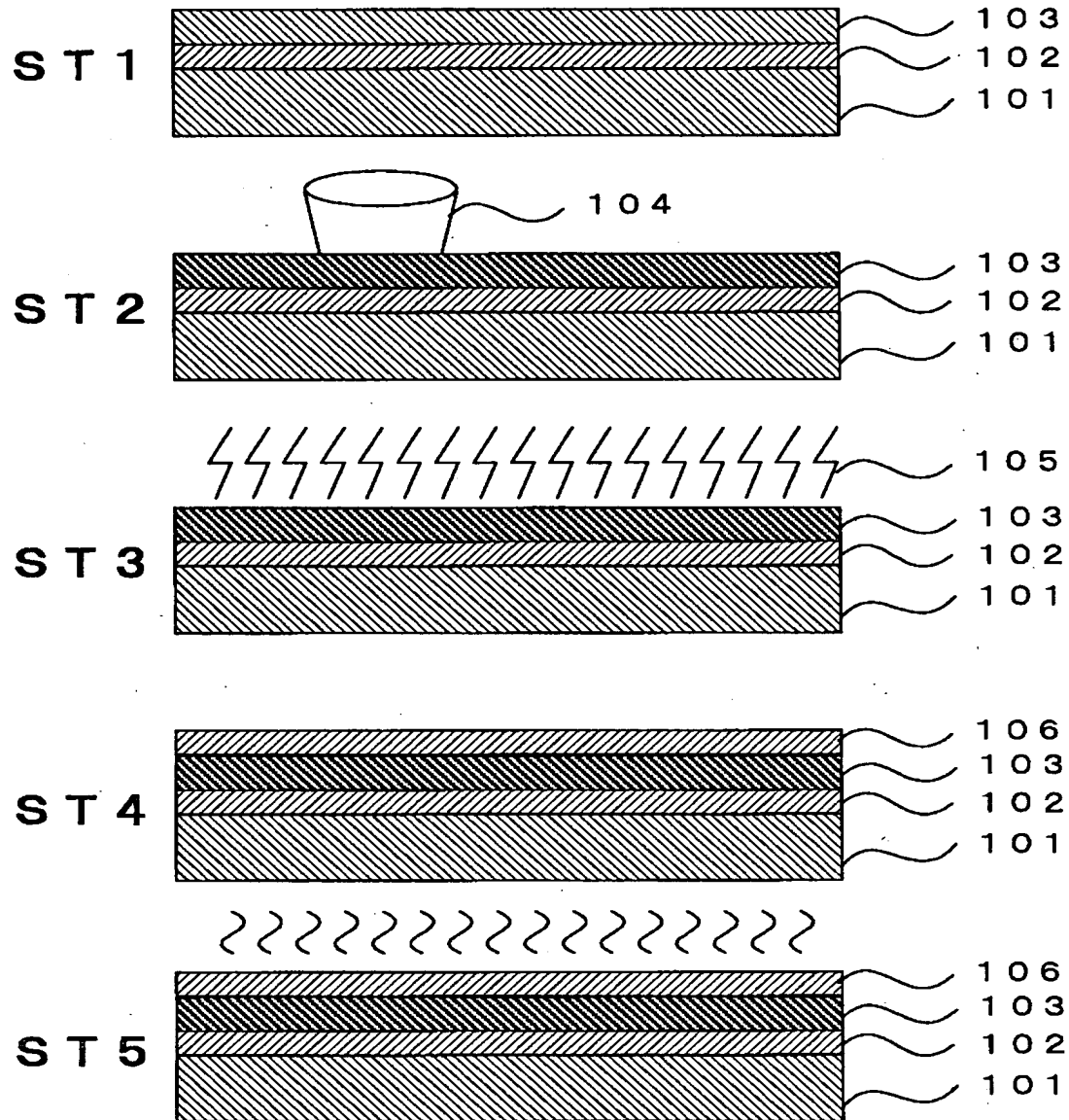
【符号の説明】

1 0 1 …基板、1 0 2 …下地保護層、1 0 3 …多結晶シリコン層、1 0 6 …ゲー

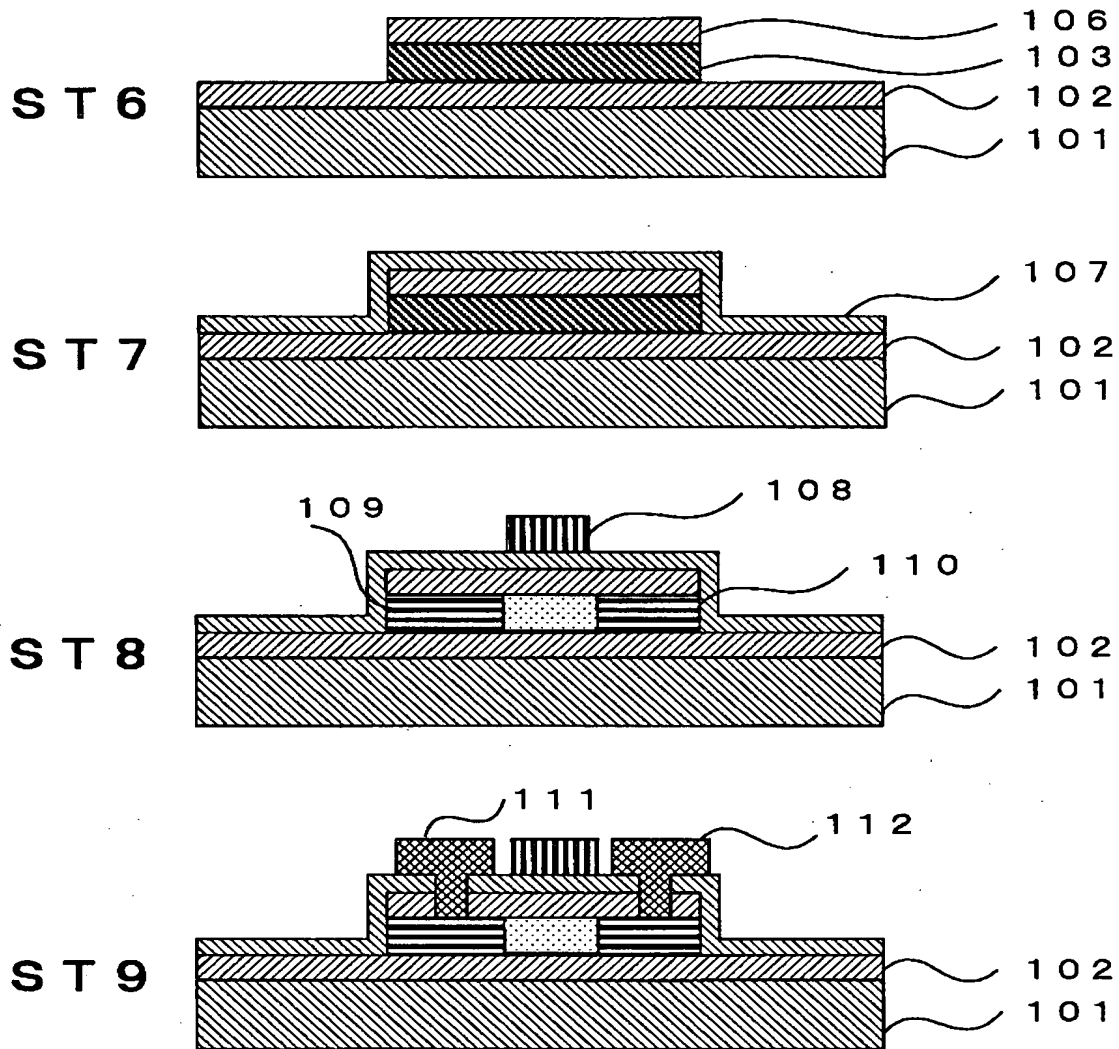
ト絶縁膜（第 1 段階）、1 0 7 …ゲート絶縁膜（第 2 段階）

【書類名】 図面

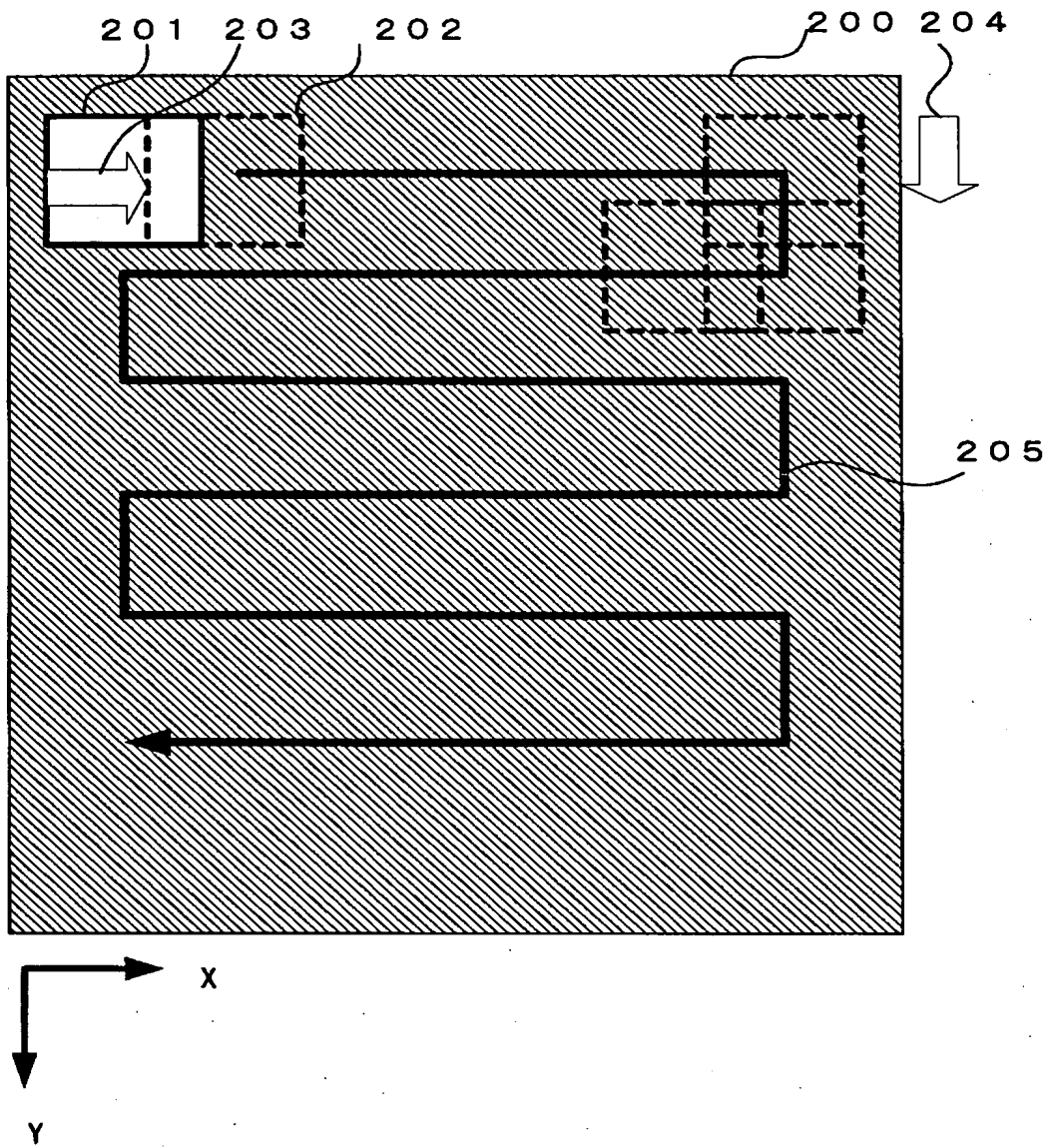
【図 1】



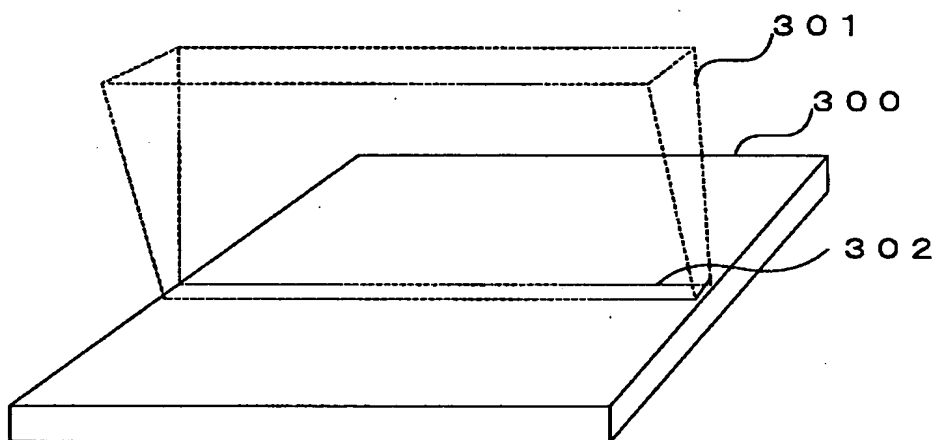
【図2】



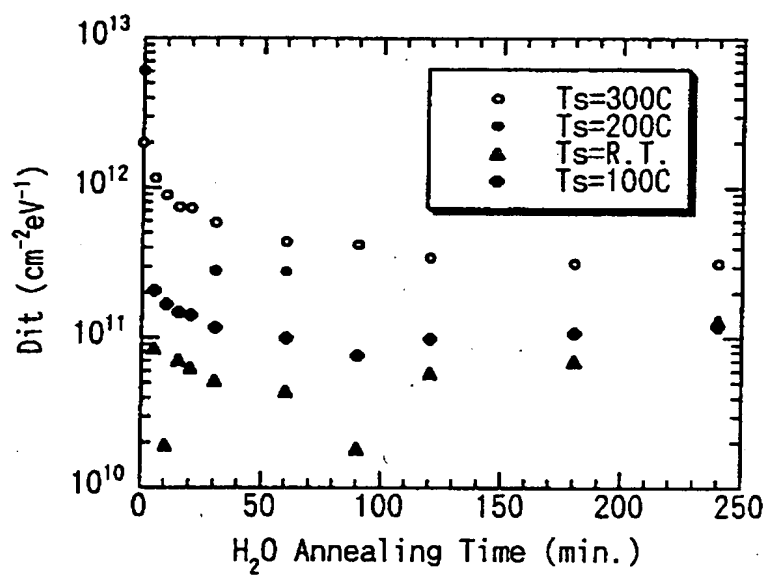
【図3】



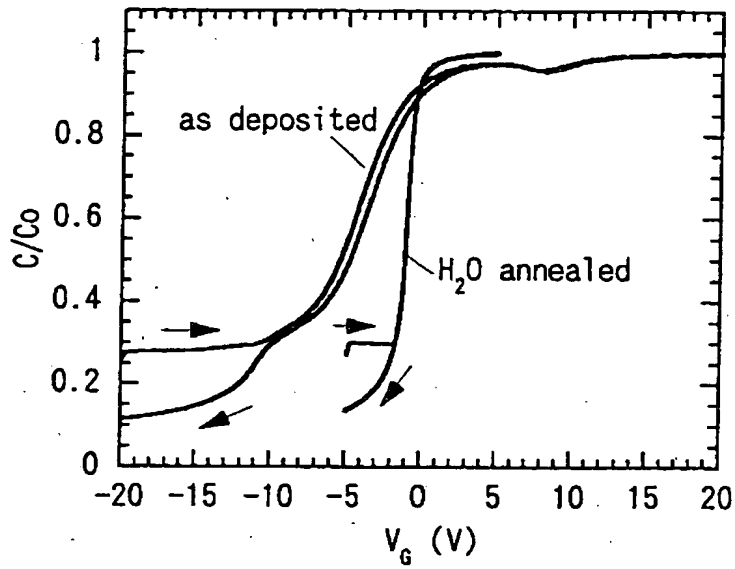
【図4】



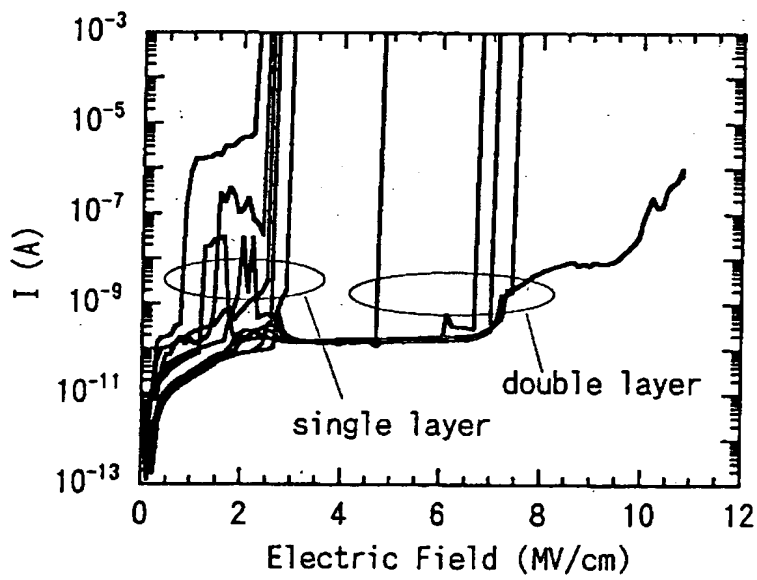
【図5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 低いプロセス温度で高品質のMOS界面とバルク絶縁特性を得ること。

【解決手段】 本発明の電界効果トランジスタの製造方法は、能動層となる半導体層を形成した後に、（１）基板温度を100℃以下に設定してゲート絶縁膜を形成し、さらに（２）水を含んだ雰囲気中にてゲート絶縁膜を熱処理するものである。熱処理を、水を含んだ雰囲気下で行うことによって、絶縁膜の界面近傍におけるOH結合が低減され、CV特性を向上させることができる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2001-263559
受付番号	50101279967
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 9月 5日

<認定情報・付加情報>

【提出日】	平成13年 8月31日
【特許出願人】	
【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社
【代理人】	申請人
【識別番号】	100079108
【住所又は居所】	東京都港区虎ノ門3-5-1 37森ビル8階 TMI 総合法律事務所
【氏名又は名称】	稲葉 良幸
【選任した代理人】	
【識別番号】	100080953
【住所又は居所】	東京都港区虎ノ門3-5-1 37森ビル8階 TMI 総合法律事務所
【氏名又は名称】	田中 克郎
【選任した代理人】	
【識別番号】	100093861
【住所又は居所】	東京都港区虎ノ門3丁目5番1号 37森ビル8 03号 TMI 総合法律事務所
【氏名又は名称】	大賀 眞司

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社